

DIALOG(R) File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04420329 **Image available**

OPTICAL PRINTING HEAD

PUB. NO.: 06-064229 [JP 6064229 A]

PUBLISHED: March 08, 1994 (19940308)

INVENTOR(s): KURODA YASUSHI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 04-223928 [JP 92223928]

FILED: August 24, 1992 (19920824)

INTL CLASS: [5] B41J-002/44; B41J-002/45; B41J-002/455; H01L-033/00;
H04N-001/036

JAPIO CLASS: 29.4 (PRECISION INSTRUMENTS -- Business Machines); 42.2
(ELECTRONICS -- Solid State Components); 44.7 (COMMUNICATION
-- Facsimile); 45.3 (INFORMATION PROCESSING -- Input Output
Units)

JAPIO KEYWORD: R002 (LASERS); R116 (ELECTRONIC MATERIALS -- Light Emitting
Diodes, LED)

JOURNAL: Section: M, Section No. 1619, Vol. 18, No. 304, Pg. 39, June
10, 1994 (19940610)

ABSTRACT

PURPOSE: To enhance high speed recording properties and reliability by a method wherein a plurality of the light emitting data signals transmitted from a shift register are held for a definite period in one element of a drive circuit constituted of a membrane transistor and electric field light emitting elements are allowed to emit light two or more times.

CONSTITUTION: In an optical printing head constituted by a large number of electric field light emitting elements EL1-EL4... are arranged in a line form, one light emitting element, for example, EL1 is driven by a shift register SR, latches L1, L2, AND circuits A1-A3 to the held data in the latches, an OR circuit O1, an exclusive OR circuit EX1 and a voltage applying gate G1 to constitute one element. A low rank bit is held to the latch of an odd number among two latches in each element and the gradation display data of an upper rank bit is held to the latch of an even number and the electric field light emitting elements are allowed to emit light two or more times in the light emitting number of times corresponding to a plurality of held light emitting data.

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

009835040 **Image available**

WPI Acc No: 1994-114896/199414

XRPX Acc No: N94-090214

Optical print head using electroluminescent elements - selected with
reference to printing data and turned on several times in accordance with
light-emitting data registered in memory NoAbstract

Patent Assignee: TOSHIBA KK (TOKE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6064229	A	19940308	JP 92223928	A	19920824	199414 B

Priority Applications (No Type Date): JP 92223928 A 19920824

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6064229	A	8	B41J-002/44	

Abstract (Basic): JP 6064229 A

Dwg. 1/7

Title Terms: OPTICAL; PRINT; HEAD; ELECTROLUMINESCENT; ELEMENT; SELECT;
REFERENCE; PRINT; DATA; TURN; TIME; ACCORD; LIGHT; EMIT; DATA; REGISTER;
MEMORY; NOABSTRACT

Derwent Class: P75; T04; U12

International Patent Class (Main): B41J-002/44

International Patent Class (Additional): B41J-002/45; B41J-002/455;

H01L-033/00

File Segment: EPI; EngPI

?

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-64229

(43)公開日 平成6年(1994)3月8日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

B 4 1 J 2/44

2/45

2/455

H 0 1 L 33/00

J 7514-4M

7246-2C

B 4 1 J 3/ 21

L

審査請求 未請求 請求項の数1(全 8 頁) 最終頁に続く

(21)出願番号 特願平4-223928

(22)出願日 平成4年(1992)8月24日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 黒田 泰史

神奈川県川崎市幸区堀川町72 株式会社東芝
芝堀川町工場内

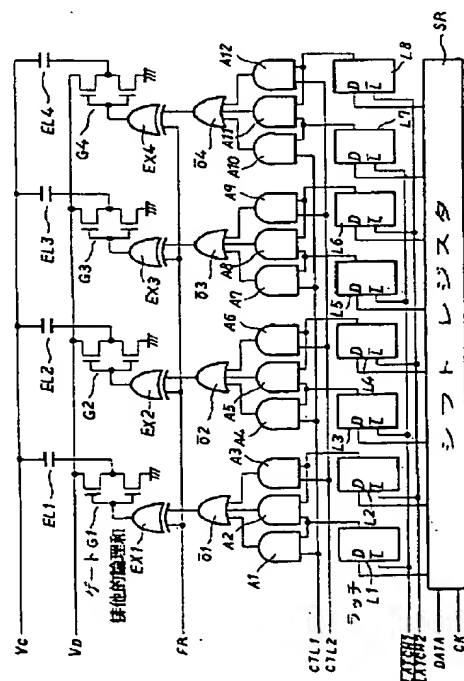
(74)代理人 弁理士 須山 佐一

(54)【発明の名称】 光プリンタヘッド

(57)【要約】

【目的】 1 line記録期間中のデータ転送回数を低減し、かつEL発光素子へのストレス低減をもたらすような発光パターンを与える階調記録が可能な光プリンタヘッド。

【構成】 EL発光素子からなる光プリンタヘッドの駆動回路が、シフトレジスターと、EL発光素子1素子あたり複数の発光データ記憶素子と、複数の発光パルスタイミング制御信号と複数の発光データ信号との論理演算を行う複数の論理素子と、ついでフレーム信号との論理演算を行う論理素子と、EL発光素子のデータ側電極に電圧を印加する発光電圧印加用ゲートとを有し、発光データ記憶素子にて一定期間中保持される複数の発光データに応じた発光回数にてEL発光素子を複数回発光させる。



【特許請求の範囲】

【請求項 1】 電界発光素子と、該電界発光素子を駆動させる薄膜トランジスタにより構成された駆動回路とを有する光プリンタヘッドにおいて、前記薄膜トランジスタにより構成された駆動回路の 1 エレメントが、シフトレジスタと、前記シフトレジスタより転送される複数の発光データ信号を一定期間中保持することのできる、前記電界発光素子 1 素子あたり複数の発光データ記憶素子と、複数の発光パルスタイミング制御線と、前記複数の発光パルスタイミング制御線からの複数の発光パルスタイミング制御信号と前記複数の発光データ記憶素子にて一定期間中保持された複数の発光データ信号との論理演算を行う複数の論理素子と、ついでフレーム信号との論理演算を行う論理素子と、前記論理素子の論理値に基づいて、前記電界発光素子のデータ側電極に電圧を印加する発光電圧印加用ゲートとを有し、前記発光データ記憶素子にて一定期間中保持される複数の発光データに応じた発光回数にて前記電界発光素子を複数回発光させることを特徴とする光プリンタヘッド。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は発光素子を用いたプリンタヘッドに関わり、特に電界発光素子（以下、EL 発光素子と称する）を用いた光プリンタヘッドの駆動回路構成方法に関するものである。

【0002】

【従来の技術】 複写機、ファクシミリ、コンピュータなどの情報処理機器は急速に市場を拡大しつつあり、そこで用いられるデバイス等にも安価であるとともに、高品質、高機能なものが要求されてきている。特にパーソナルユースを対象とした情報処理機器においてこの傾向は強い。光プリンタヘッドは、上述の複写機、ファクシミリ、コンピュータ等において感光体への光照射に用いられるデバイスであり、光プリンタヘッドの発光素子として、小型化が容易な EL 発光素子が注目されている。

【0003】 EL 発光素子を用いた従来の光プリンタヘッドの構成を図 6 に示す。図 6 において、EL 発光素子 61 全体は、複数の EL 発光素子が容量の記号で表わされ、それぞれ 2 つの電極を有する。直線状に配置された複数の EL 発光素子 (EL 1 ~ EL 16) それぞれの 2 つの電極のうち一方の電極（データ側電極）は隣接する複数の個ごとにまとめられ EL データ側ドライバ 62 へ接続されている。他方の電極（共通側電極）は EL プリンタヘッドの主走査方向全長に引き延ばされた共通電極へ接続され、これは EL コモン側ドライバ 63 に接続されている。

【0004】 図 6 に示す EL プリンタヘッドを駆動する

2

ための駆動パルス投入のタイミングチャート例を図 7 に示す。1 line 記録期間中に発光素子において 4 回発光させるとしてある。EL コモン側ドライバからは共通側駆動ライン Ca, Cb, Cc, Cd に順次正負のパルスが投入されていく。これにあわせて EL データドライバ側からもパルス投入される。双方の電圧の重畳により各 EL 発光素子の発光、非発光が決まる。図 7 に示したようにこの 1 line 分記録時間中 EL 1 ~ EL 4 までは非発光であれば Da には共通側と同相のパルスが投入される。EL 5 ~ EL 8 までは発光とすると Db は共通側と逆相のパルスの投入される。EL 9 ~ EL 16 に関しては EL 9, EL 11, EL 14 が発光とすると Dc, Dd の例はしめた。共通側は 200V ぐらいの正負のパルスを印加し、データ側は 20V ぐらいのパルスを印加する。このように EL プリンタヘッドの駆動では通常マトリックス駆動が用いられている。

【0005】 しかしながら近年こうした駆動回路部に、大面積での形成が容易なことから薄膜トランジスタ (TFT) が多用されつつある。この TFT を用いたデータ側駆動回路は、データ入力より簡単なダイレクトドライブ方式を可能にする結果、データ入力を高速化できる利点がある。また、EL 発光素子と TFT 駆動回路とを用いたプリンタはメンテナンスが容易、コンパクトであり、レーザープリンタにおけるポリゴンミラーが不要といった優れた特徴をもっている。

【0006】

【発明が解決しようとする課題】 しかしながら、ダイレクトドライブ方式を用いて階調記録をしようとした場合、通常 EL の発光回数を制御することにより階調表現を得ている EL 発光素子は 1 line 記録時間中に複数のデータのデータ入力が必要になる。たとえば、従来の回路構成で発光回数を 4 段階（非発光をのぞいて）制御しようとした場合、1 line 記録時間中に 4 回データを書き換えねばならない。1 line 記録時間中における複数のデータのデータ入力に際して、データ入力数が少ないと、発光回数が 1 line 記録期間中の特定部に集中する傾向があり、発光分布が不均一となる問題があった。さらにその結果、EL へのストレスを増加させ EL 発光素子の寿命を低下させ、EL 発光の経時変化を起こさせるとの問題があった。

【0007】 一方、1 line 時間中でのデータ書換えを頻繁に行うことにより、発光分布の不均一を避けることができる。しかし TFT により形成されたデータ転送部（シフトレジスタ）の駆動周波数は一般に 10 MHz 程度と低いため、全発光素子にたいするデータ入力端子数を増加させなければならない。その結果、高速記録に適さなく、また入力前のデータ処理の煩雑化、プリンタヘッド構成の複雑化をもたらすとの問題があった。

【0008】 本発明は、このような問題を解決するためになされたもので、1 line 記録期間中のデータ転送

回数を低減し、かつ E L 発光素子へのストレスを増加させないような発光パターンを与える階調記録が可能な光プリンタヘッドを提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の光プリンタヘッドは、E L 発光素子と、該 E L 発光素子を駆動させる薄膜トランジスタにより構成された駆動回路とを有する光プリンタヘッドにおいて、薄膜トランジスタにより構成された駆動回路の 1 エLEMENT が、シフトレジスタと、このシフトレジスタより転送される複数の発光データ信号を一定期間中保持することのできる、E L 発光素子 1 素子あたり複数の発光データ記憶素子と、複数の発光パルスタイミング制御線からの複数の発光パルスタイミング制御信号と複数の発光データ記憶素子にて一定期間中保持された複数の発光データ信号との論理演算を行う複数の論理素子と、ついでフレーム信号との論理演算を行う論理素子と、これら論理素子の論理値に基づいて、E L 発光素子のデータ側電極に電圧を印加する発光電圧印加用ゲートとを有し、発光データ記憶素子にて一定期間中保持される複数の発光データに応じた発光回数にて E L 発光素子を複数回発光させることを特徴とする。

【0010】本発明の光プリンタヘッドに係わるシフトレジスタは外部回路にて制御されて入力された各発光素子の発光パルスデータを隣接する駆動ELEMENTへ順次転送する機能を有する。

【0011】発光データ記憶素子は、ラッチであって、外部回路からのラッチ信号を受けて、シフトレジスタから入力された発光パルスデータにラッチをかけてそのときの発光パルスデータを保持し、これを論理素子へと送出する機能を有する。本発明においては、階調データを各 E L 発光素子ごとに保持するため、E L 発光素子 1 素子あたり少なくとも 2 個以上のラッチを必要とする。

【0012】発光パルスタイミング制御線は、外部からのコントロール信号線であり、各階調に対応した発光パルスが 1 line 分の記録時間の間で分散されるように選択制御される。

【0013】論理素子は、AND および OR 回路ならびに排他的論理和回路とからなり、ラッチにより保持されたデータと外部からのコントロール信号との演算を AND および OR 回路で行ったのち、さらにフレーム信号との演算を排他的論理和回路で行い、電圧制御用ゲートへ正電圧 (H) または負電圧 (L) パルス信号を送出する機能を有する。

【0014】発光電圧印加用ゲートは、演算結果の H または L パルスを受け、H パルスに対してはコモン側パルスと逆相のパルスを、また L パルスに対してはコモン側パルスと同相のパルスを E L 発光素子に印加する機能を有する。

【0015】E L 発光素子は、コモン電極に印加される

コモン側パルス電圧と、このコモン側パルス電圧に対して逆相または同相でデータ側電極に印加されるデータ側パルス電圧を受けて、発光または非発光の動作を実行する。この動作により、発光データ記憶素子にて一定期間中保持される複数の発光データに応じた発光回数にて E L 発光素子を複数回発光させることができる。

【0016】なお本発明はファクシミリ、デジタルコピーの記録部等にも適用できることは言うまでもない。

【0017】

【作用】本発明では各 E L 発光素子に対応した階調データを各 E L 発光素子ごとに保持できるので、発光、非発光のデータを発光パルスの投入ごとに、あるいは階調に対応したいくつかのパルス数の投入ごとに転送する必要がなくなる。なおかつ隣接する E L 発光素子に対応したデータを連続して入力できるため入力前のデータの処理が容易となる。また 1 line 記録時間中に発光パルスを特定の部分に集中しないように設定できる良好な記録特性を持つ光プリンタヘッドが得られる。

【0018】

【実施例】本発明の一実施例を図 1 から図 5 を用いて説明する。図 1 は本発明の光プリンタヘッドのブロック図である。ここでは簡便のため発光素子を 4 つにして記述するが実際の光プリンタヘッドでは E L 発光素子数は数千になる。E L 発光素子がライン状に複数ビット配置されており (E L 1 ~ E L 4)、1 つの発光素子、例えば E L 1 はシフトレジスタ S R、複数おかれたラッチ L 1, L 2, ラッチでの保持データに対する AND 回路 A 1, A 2, A 3 および OR 回路 O 1, 排他的論理和回路 E X 1、電圧印加用ゲート G 1 によって駆動され、1 ELEMENT を構成する。各発光素子の発光データはシフトレジスタ S R を転送されたのちラッチ部 L 1 ~ L 8 により保持される。

【0019】1 つの発光素子に対する 2 つのラッチのうち奇数番のラッチには低位ビット、偶数番のラッチには上位ビットの階調表示データを保持する。これにより非発光もふくめて 4 階調表示が可能となる。ラッチ L 1 ~ L 8 により E L 素子部 E L 1 ~ E L 4 を 1 line 記録期間中駆動させている間に次の 1 line での階調表示データを、低位ビット、上位ビットあわせてシフトレジスタ S R を転送できる。

【0020】ここで階調データ分の存在のためシフトレジスタ自身は 2 倍の素子数となるが、1 line 記録期間中は階調表現に対応したデータの再転送はおこなわないため結局、高速印字に対応できる。ラッチ L 1 ~ L 8 により保持されたデータは外部からのコントロール信号 C T L 1, C T L 2 との演算ののちフレーム信号 F R と排他的論理和がとられ、それにより電圧制御用ゲート G 1 から G 4 の開閉が行われる。この排他的論理和回路 E X 1 のためラッチに保持された階調データによりフレーム信号 F R と同相あるいは逆相の電圧印加を E L 発光素

5

子に対しておこなうことができる。

【0021】EL発光素子EL1～EL4のコモン側電極に印加される電圧 V_c にたいして該EL素子のデータ側電極に印加される電圧が逆相となって、EL発光素子両端にかかる電圧があるしきい値電圧を越えるときそのEL発光素子は発光することになる。

【0022】図2はこの回路の動作時の信号のタイミングチャートである。ここには1line分の発光期間をしめした。この期間中EL発光素子のコモン側電極の正負6個ずつのパルスによりデータ側電極にコモン側と逆相の電圧印加の和により発光しきい値電圧以上の電圧印加がおこなわれれば発光する。そのため最大12回の発光がえられる。これは1発光素子に対応した2つのラッチの双方に2値で1のデータがあればA2、A5、A8、A11のAND回路出力はHighレベルになりFR信号と逆相の信号がG1～G4のゲートにはいる。この結果ゲートからの出力は反転されたかたちとなりFRと同相の電圧印加がEL発光素子のデータ側電極になされる。FRはELコモン側電極と逆相にて投入されているため、このときEL発光素子は発光をおこなう。2つのラッチの保持データを(低位ビット、上位ビット)であらわしてELのデータ側電極への電圧がどうなるかを図2にはしめしてある。これは同じく図2中にしめしたCTL1、CTL2の信号によりコントロールされた例である。ここでわかるように(1, 1)のラッチデータにたいして12回発光する時、(0, 1)では8回、

(1, 0)では4回の発光になっている。すなわち、コモン側のパルスに図2中に示すように1～12の番号づけをしたとき、ラッチデータが(1, 1)の場合、1～12のすべてで発光し、ラッチデータが(0, 1)では1, 4, 5, 6, 7, 8, 9, 12の8回、ラッチデータが(1, 0)では1, 4, 7, 10の4回発光となる。

【0023】コントロール信号CTL1、CTL2はそれぞれ各階調に対応した発光パルスが1line分の記録時間の間で分散されるように選択されている。発光パルスのパターンは1line分の記録時間の間で分散されるパターンであればよく、このパターンに限るわけではない。

【0024】従来の回路構成では図2中下部に矢印でしめしたように9回のデータ転送が必要である。これは(1, 1)、(0, 1)、(1, 0)のレベルがFR信号の反転時に、それ以前の状態を反転したものと異なる状態に移移するさいには従来回路においてはラッチに保持されたデータを変えてやる必要があるからである。これが本発明に係わる回路では最初の1回の転送のみでよく、たとえシフトレジスタの素子数が2倍になったところでデータ転送に要する時間は大幅に低減される。またこれは階調数がおおきくなるほど本提案のように複数のラッチをもうける効果はよりおおきくなる。

6

【0025】なお、駆動回路部にTFTを用いた場合、シフトレジスタ、ラッチ、AND回路、OR回路、排他的論理和回路などは比較的小素子で形成でき、最終段のEL電極への電圧印加用ゲートは耐圧、耐電流特性を満たす必要があるため比較的大きくなる。そのため複数ラッチ化での素子およびその占有面積の増加は比較的小さくてよい。

【0026】本発明の他の実施例を図3及び図4に示す。ここではシフトレジスタの素子数は従来回路に比べて増加していないが、階調表現用の2つのラッチLa_nとLb_nのほかにLc_nのラッチも持つ(ここで $n = 1 \sim 3$)。シフトレジスタにはまず各発光素子の階調データの上位ビット分のデータが転送されLc1～Lc3にて保持される。その後階調データの下位ビット分のデータがシフトレジスタ中を転送される。Latch-B、Latch-Aの信号を順次かけることでLc1等に保持されていたデータはLa1～3に転送される。この後Latch-C、Latch-Bの信号の順次投入によりシフトレジスタ中を転送された階調データの下位ビット分のデータはLb1～3に保持される。

【0027】この様子を図4のタイミングチャートに示す。 t_{n-1} 、 t_n 、 t_{n+1} はそれぞれ第 $n-1$ ライン、第 n ライン、第 $n+1$ ラインの印字時間である。 t_{n-1} ラインの印字時間中に次のラインの印字データがおくられる。1lineの記録時間中のそれぞれ1/2をもちいて階調データの上位ビット、下位ビットが順次おくられる。次の印字期間の最初にはこの上位ビット、下位ビットのデータはLa1～3、Lb1～3に保持され、このデータにたいしCTL1、CTL2の制御線によりさきに示した本発明の実施例と同様の発光パルス制御が行われる。ただしここでは1lineあたりの発光パルス数は14パルスとして、そのうち最初の12パルスはそのラインの印字データを用いた制御をおこない、最後の2パルスは次のラインの印字データのうち上位ビットを用いている。

【0028】連続する線などではつぎの上位ビットも1である傾向が強く、この2パルスをいれることで線が明瞭化する。反面、それ以外での各ドットごとを分離したいような場合にはこの2パルスを投入しない。1line印字時間の後半には次のラインの上位ビットがLc1～3に存在しているため、このデータをもちいての制御が可能である。これはCTL3の制御線によっておこなっている。次ラインでの制御を行わない場合にはCTL3をのぞき、Lc1～3の出力とのAND回路をのぞけばそのまま先にしめした実施例と同じ制御になる。(この場合でもLc1～3は読み込んだデータのバッファとして必要である。)図5はこのEL発光素子の輝度電圧特性の典型的例である。図中、V_{th}は発光しきい値電圧であり駆動時発光EL素子には図中のV_aの電圧の正負のパルスがデータ側、コモン側電極により印加される

7

のに対し非発光EL素子では V_{th} 以下の電圧のパルス印加となるため発光がおこらない。

【0029】

【発明の効果】本発明の光プリンタヘッドは、薄膜トランジスタにより構成された駆動回路の1エレメントが、シフトレジスタより転送される複数の発光データ信号を一定期間中保持することのできる、EL発光素子1素子あたり複数の発光データ記憶素子と、複数の発光パルスタイミング制御線からの複数の発光パルスタイミング制御信号と複数の発光データ記憶素子にて一定期間中保持された複数の発光データ信号との論理演算を行う複数の論理素子とを特徴として有し、発光データ記憶素子にて一定期間中保持される複数の発光データに応じた発光回数にてEL発光素子を複数回発光させることができるので、階調表現時、1line記録時の複数の発光パルスをデータ転送回数を増やす事なく、1line記録時間中に分散して設定できる。その結果、高速記録性、信頼性上有利な、高記録品位のEL発光素子を用いた光プリンタヘッドを得ることができる。

【0030】この光プリンタヘッドは、小型化や高機能化の進む複写機、ファクシミリ、コンピュータなどの情報処理機器の出力用高速印字デバイスとして好適である。

【図面の簡単な説明】

8

【図1】本発明の光プリンタヘッドの第1の実施例の構成を示すブロック図である。

【図2】本発明の光プリンタヘッドの第1の実施例における駆動タイミングチャートを示す図である。

【図3】本発明の光プリンタヘッドの他の実施例の構成を示すブロック図である。

【図4】本発明の光プリンタヘッドの他の実施例における駆動タイミングチャートを示す図である。

【図5】本発明の光プリンタヘッドの輝度電圧特性の典型例を示す図である。

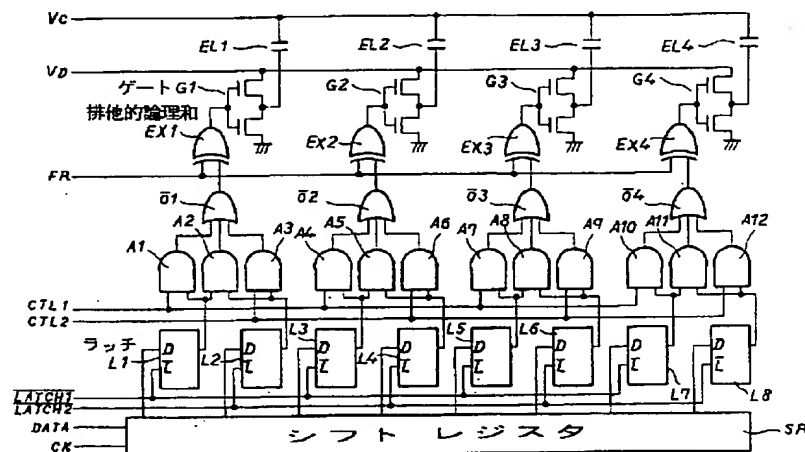
【図6】光プリンタヘッドの従来例の要部構成を示すブロック図である。

【図7】光プリンタヘッドの従来例での駆動タイミングチャートを示す図である。

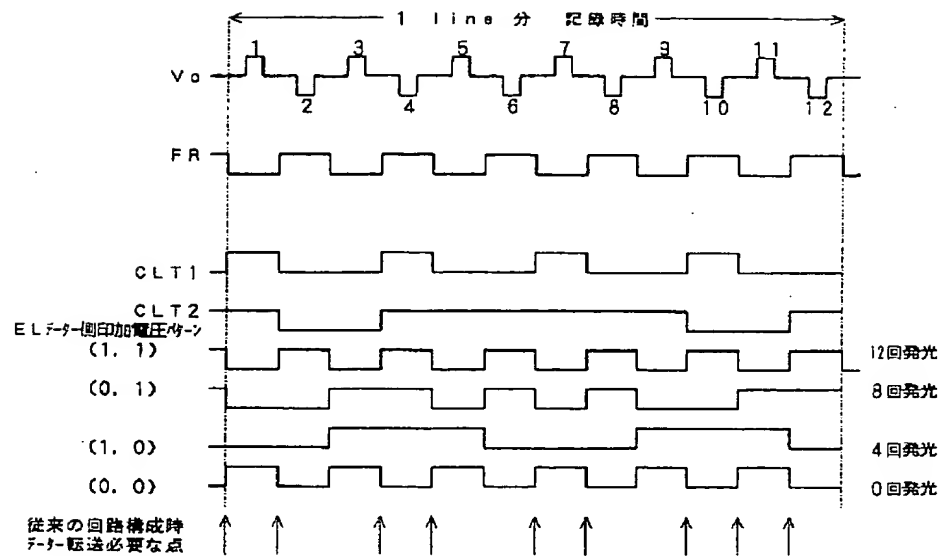
【符号の説明】

EL1~EL16.....EL発光素子、SR.....シフトレジスタ、L1~L8、La1~La3、Lb1~Lb3、Lc1~Lc3.....ラッチ、A1~A12.....AND回路、O1~O4.....OR回路、Ex1~Ex4.....排他的論理和回路、G1~G4.....電圧印加用ゲート、61.....EL発光素子全体、62.....ELデータ側ドライバ、63.....ELコモン側ドライバ。

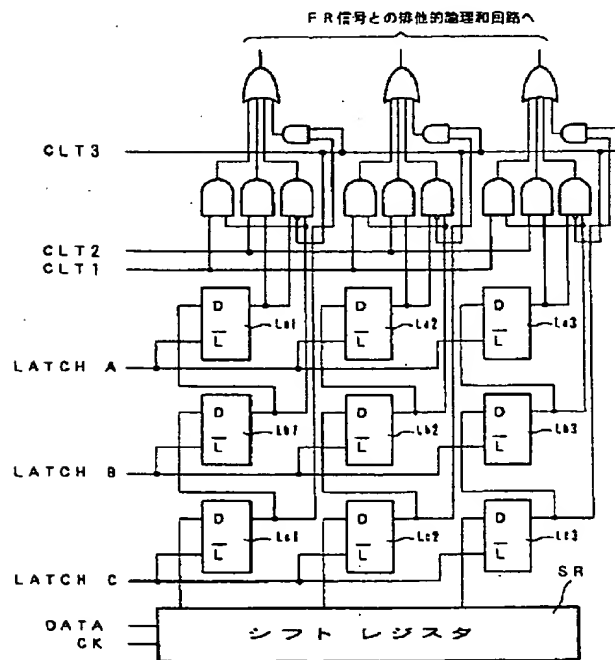
【図1】



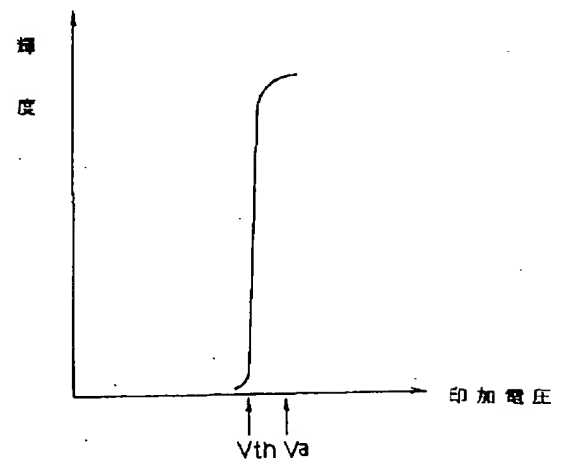
【図 2】



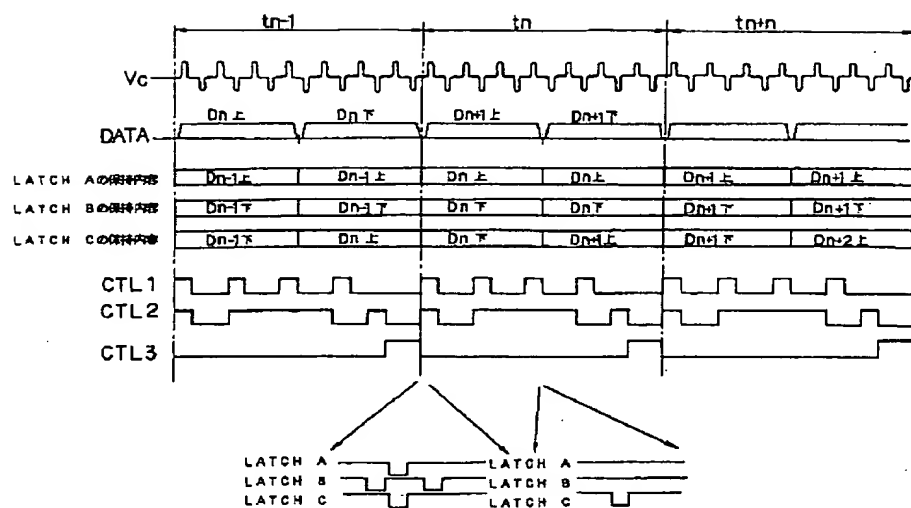
【図 3】



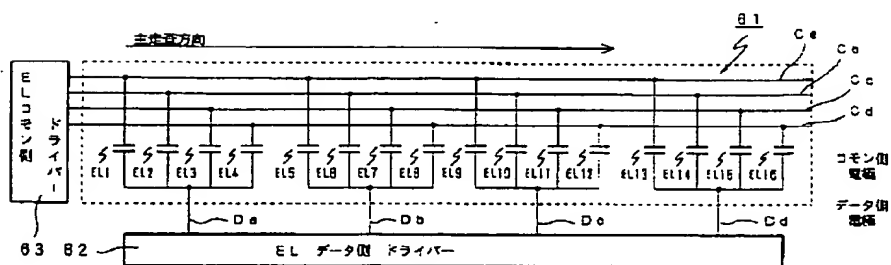
【図 5】



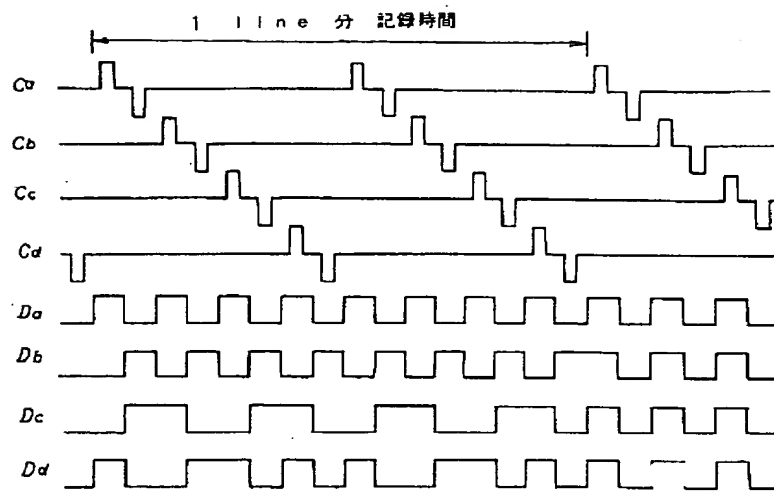
【図 4】



【圖 6】



【図 7】



フロントページの続き

(51) Int. Cl.⁵

H 0 4 N 1/036

識別記号

庁内整理番号

F I

技術表示箇所

A 9070-5C